

**Active cell with analog storage for a CMOS technology photosensitive sensor**

**Patent number:** FR2807570  
**Publication date:** 2001-10-12  
**Inventor:** LAUXTERMANN STEFAN; ISRAEL GEORG PAUL  
**Applicant:** SUISSE ELECTRONIQUE MICROTECH (CH)  
**Classification:**  
- international: H01L31/06; H01L31/0352  
- european: H01L27/146A4  
**Application number:** FR20000004494 20000407  
**Priority number(s):** FR20000004494 20000407

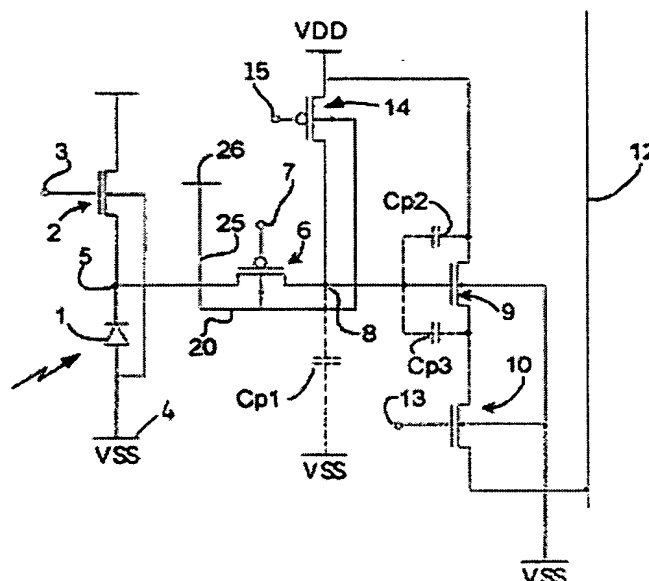
**Also published as:**

WO0178150 (A1)  
US6838652 (B2)  
US2003062549 (A1)  
EP1269543 (B1)

[Report a data error here](#)

**Abstract of FR2807570**

The invention concerns a cell comprising a photosensitive element (1), first addressable means (2) for deactivating said photosensitive element after an exposure phase, second addressable means (9, 10) for, during said exploration phase, retrieving from the cell the luminance signal generated by the photosensitive element, third addressable means (6) for transferring the luminance signal from the photosensitive element to the second addressable means, storage means (cp1 to cp3) for preserving the luminance signal between the exposure phase and the time when the cell is addressed for activating the second addressable means and fourth addressable means (14) for unloading said storage means after the cell has been read. The invention is characterised in that the third (6) and fourth (14) means are placed in a casing arranged in the substrate and having a type of conductivity opposite to that of the substrate.



Data supplied from the **esp@cenet** database - Worldwide

①9 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

①1 N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

2 807 570

②1 N° d'enregistrement national : 00 04494

⑤1 Int Cl<sup>7</sup> : H 01 L 31/06, H 01 L 31/0352

⑫ DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 07.04.00.

③0 Priorité :

④3 Date de mise à la disposition du public de la  
demande : 12.10.01 Bulletin 01/41.

⑤6 Liste des documents cités dans le rapport de  
recherche préliminaire : *Se reporter à la fin du  
présent fascicule*

⑥0 Références à d'autres documents nationaux  
apparentés :

⑦1 Demandeur(s) : CSEM CENTRE SUISSE D'ELEC-  
TRONIQUE ET DE MICROTECHNIQUE SA Sociedad  
anonima — CH.

⑦2 Inventeur(s) : LAUXTERMANN STEFAN et ISRAEL  
GEORG PAUL.

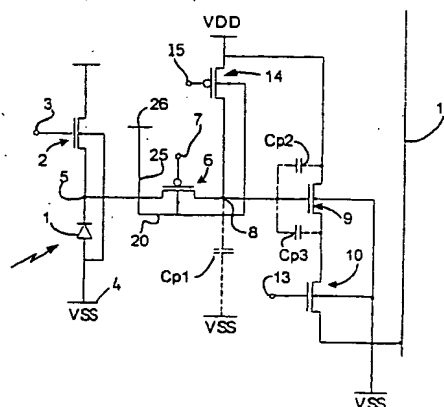
⑦3 Titulaire(s) :

⑦4 Mandataire(s) : CABINET DE BOISSE ET COLAS.

⑤4 CELLULE ACTIVE AVEC MEMOIRE ANALOGIQUE POUR UN CAPTEUR PHOTSENSIBLE REALISE EN  
TECHNOLOGIE CMOS.

⑤7 Cette cellule comprend un élément photosensible (1),  
des premiers moyens adressables (2) pour désactiver cet  
élément photosensible après une phase d'exposition, des  
seconds moyens adressables (9, 10) pour, au cours de la-  
dite phase d'exploration, extraire de la cellule le signal de lu-  
minance engendré par l'élément photosensible, des  
troisièmes moyens adressables (6) pour transférer le signal  
de luminance de l'élément photosensible aux seconds  
moyens adressables, des moyens de mémoire (cp1 à cp3)  
pour conserver le signal de luminance entre la phase d'ex-  
position et l'instant où la cellule est adressée pour l'acti-  
vation des seconds moyens adressables et des quatrièmes  
moyens adressables (14) pour décharger lesdits moyens de  
mémoire après la lecture de la cellule.

Selon l'invention, les troisièmes (6) et les quatrièmes  
moyens (14) sont placés dans un caisson ménagé dans le  
substrat et ayant un type de conductivité opposé à celui du  
substrat.



FR 2 807 570 - A1



La présente invention est relative à une cellule active pour un capteur photosensible réalisé en technologie CMOS et comprenant une pluralité de ces cellules agencées selon une matrice adressable dans laquelle les cellules subissent des cycles de travail successifs consistant, au moins, en une phase d'exposition pour détecter la quantité de lumière qui les frappe, puis en une phase d'exploration au cours de laquelle l'information de luminance due à cette quantité de lumière est extraite de la cellule.

Une cellule connue de ce type est décrite dans un article de Huat et al, paru dans la revue IEEE Journal of Solid State Circuits, volume 11, N°12 de décembre 1996.

Cette cellule connue comprend

- un élément photosensible,
- des premiers moyens adressables pour activer/désactiver cet élément photosensible après ladite phase d'exposition,
- des deuxièmes moyens adressables pour, au cours de ladite phase d'exploration, extraire de la cellule le signal de luminance engendrée par ledit élément photosensible,
- des troisièmes moyens adressables pour transférer ledit signal de luminance dudit élément photosensible auxdits deuxièmes moyens adressables;
- des moyens de mémoire pour conserver ledit signal de luminance entre la phase d'exposition et l'instant où ladite cellule est adressée pour l'activation desdits deuxièmes moyens adressables; et
- des quatrièmes moyens adressables pour décharger lesdits moyens de mémoire après la phase de lecture de la cellule, ledit élément photosensible et lesdits premiers, deuxièmes et troisièmes moyens adressables étant implémentés sous la forme de composants semi-conducteurs intégrés dans un substrat avec des types de conductivité prédéterminés.

Une telle cellule présente une fonction d'obturation qui permet d'annuler momentanément l'influence de la lumière incidente pendant le temps d'attente s'écoulant entre la phase d'exposition et l'instant où la cellule est lue dans l'ordre d'adressage du réseau dans lequel elle est incorporée. Pour réaliser cette fonction, le signal de luminance détecté pendant la phase d'exposition est intégré dans les moyens de mémoire qui peuvent être implémentés sous la forme

d'une capacité faisant partie de la cellule. Le signal de luminance étant dans ce type de cellule CMOS de nature analogique, il est important que la capacité ainsi utilisée puisse conserver la charge correspondant à ce signal sans distorsion, ni perte pendant tout le temps d'attente jusqu'à la lecture de la cellule. Par conséquent, pendant ce temps, la capacité doit être isolée le mieux possible du reste de la cellule pour éviter toute fuite de sa charge. A cet effet, dans la cellule connue de l'article précité, les moyens de mémorisation implémentés sous la forme d'une capacité sont découplés de l'élément photosensible par les troisièmes moyens adressables dès la fin de la phase d'exposition.

L'implémentation de la cellule connue (figure 4 de l'article) consiste à utiliser des transistors d'un même type de conductivité (en l'occurrence le type p), l'élément photosensible étant une région de diffusion  $p^+$ . Les moyens de transfert, appelés ici "obturateur" (shutter en anglais), sont réalisés sous la forme d'un transistor de type p dont la source est une région de diffusion de type  $p^+$  à laquelle est raccordé un nœud sur lequel peuvent être accumulées les charges intégrées au cours de la phase d'exposition, par exemple en vertu de la capacité parasite que présente par inhérence ce nœud. Cependant, l'implantation de source du transistor de transfert ou d'obturation peut aussi accumuler des charges et les dévier vers le substrat de la cellule ce dont il résulte une distorsion du signal de luminance réellement accumulé sur le nœud et extrait ensuite de la cellule, lorsque celle-ci est adressée pour la lecture. Un autre exemple de cellule connue présentant l'inconvénient d'intégrer des charges parasites peut être trouvé dans le brevet américain USP 5'900'623.

Pour réduire l'influence de l'accumulation parasitaire des charges dans l'implantation de source du transistor d'obturation, il serait possible d'augmenter la capacité du nœud d'accumulation, mais ceci nécessiterait l'implémentation d'une région capacitive raccordée au nœud. Cette solution présenterait l'inconvénient de demander une place trop considérable sur le substrat réduisant du même coup le coefficient de remplissage de celui-ci. En outre, si l'influence de l'accumulation parasitaire des charges était ainsi réduite, elle n'en resterait pas moins présente et contribuerait néanmoins à distordre le signal de luminance finalement extrait de la cellule au moment de la lecture.

L'invention a pour but d'apporter une solution alternative à ce problème qui

permette après la phase d'exposition d'isoler quasi entièrement le nœud d'accumulation de charges du reste du circuit sans trop augmenter l'encombrement de la cellule et de réduire quasiment à néant l'accumulation parasite. Un avantage résultant de l'invention réside dans le fait que les caractéristiques spectrales de l'élément photosensible ne sont pas altérées.

L'invention a donc pour objet une cellule telle que définie ci-dessus qui est caractérisée en ce que lesdits troisièmes et quatrièmes moyens adressables sont placés dans au moins un caisson ménagé dans le substrat, ledit au moins un caisson présentant un premier type de conductivité opposé à celui du substrat, qui présente un second type de conductivité et dans lequel est réalisé l'élément photosensible.

Grâce à ces caractéristiques, les porteurs de charges qui, lors de l'éclairement de la cellule auraient tendance à migrer vers les moyens de mémoire sont arrêtés à la jonction entre le substrat et le caisson dans lequel sont placés lesdits troisièmes moyens adressables. Elles ne peuvent ainsi atteindre le nœud sur lequel s'accumulent les charges représentant le signal de luminance utile.

Selon d'autres caractéristiques avantageuses de l'invention:

- ledit premier type de conductivité est le type p et le second type de conductivité est le type n;
- ledit premier type de conductivité est le type n et le second type de conductivité est le type p;
- une région de diffusion est implantée dans ledit caisson et connectée à une source de tension de polarisation de préférence réglable, cette région ayant le second type de conductivité;
- lesdits quatrièmes moyens adressables sont implantés dans ledit caisson;
- lesdits troisièmes moyens consistent en une pluralité de transistors connectés en série et commandés, chacun, par une tension fixe.

D'autres caractéristiques et avantages de la présente invention apparaîtront au cours de la description qui va suivre, donnée uniquement à titre d'exemple et faite en se référant aux dessins annexés sur lesquels:

- la figure 1 est un schéma d'une cellule pour capteur

photosensible selon l'invention, réalisée avec une technologie à substrat p;

- la figure 2 montre schématiquement un exemple d'implémentation d'une cellule représentée sur la figure 1;

- la figure 3 est un schéma d'une cellule selon l'invention réalisée  
5 avec une technologie à substrat n;

- la figure 4 est un exemple d'implémentation de la cellule de la figure 3;

- la figure 5 est un diagramme des signaux de la cellule de la figure 3; et

- la figure 6 est encore un autre exemple de réalisation d'une cellule selon l'invention.

10 Les cellules représentées sur les figures sont destinées à faire partie d'un capteur photosensible réalisé selon la technologie CMOS sur un substrat semi-conducteur. Ce substrat comporte une matrice d'un grand nombre de cellules adressables organisées d'une façon connue en soi, par exemple selon le schéma de la figure 1 de l'article précité.

15 On rappelle brièvement le principe de fonctionnement, également connu en soi, d'une telle matrice.

La matrice subit des cycles successifs d'observation d'une scène par exemple, chaque cycle comportant une phase d'exposition du capteur à la lumière renvoyée par la scène, suivie d'une phase d'exploitation ou  
20 d'acquisition au cours de laquelle les cellules du capteur sont lues en séquence par adressage matriciel. Ainsi, la matrice peut délivrer une succession de signaux de rangée composés chacun d'une tension variable divisée en échantillons représentant chacun le signal de luminance d'une cellule de la rangée concernée.

25 Dès lors, on comprend que le signal de luminance engendré dans chaque cellule pendant la phase d'exposition doit être mémorisé jusqu'à ce que l'adressage de la matrice désigne la cellule concernée pour la lecture, mémorisation qui est réalisée par accumulation de charges dans une capacité présente dans la cellule.

30 En se référant maintenant plus particulièrement à la figure 1, on voit qu'une cellule selon l'invention comprend une diode photosensible 1 connectée en série avec un transistor 2 de type n qui constitue les premiers moyens adressables de la cellule et dont la grille est connectée pour recevoir un signal

de désactivation de la photodiode 1 d'une borne de commande 3. La diode 1 et le transistor 2 sont connectés entre la masse et une tension d'alimentation ( $V_{ss}$ ) de la diode appliquée sur une borne d'alimentation 4. Le nœud 5 entre la diode 1 et le transistor 2 est connecté à un transistor d'obturation 6 qui matérialise les troisièmes moyens adressables de la cellule. La grille de ce transistor 6 est connectée à une borne de commande d'obturation 7 de la cellule. Lorsqu'il est conducteur, ce transistor d'obturation transfère, vers le nœud 8 d'accumulation de charges, un signal correspondant à la quantité de charges apparaissant sur le nœud 5.

Le nœud 8 d'accumulation de charges est relié à la grille d'un transistor 9 faisant office de tampon et d'amplificateur, ce transistor 9 étant monté de manière à pouvoir convertir le signal de luminance utile engendré par la diode 1 et apparaissant sous forme d'une tension sur le nœud 8 en un courant pouvant être évacué de la cellule pendant la phase de lecture. Le transistor 9 est connecté en série avec un transistor 10 de commande de lecture entre une borne d'alimentation ( $V_{DD}$ ) 11 et une ligne de sortie 12 qui dans la matrice de cellules est une ligne de colonne. La grille du transistor 10 est connectée à une borne de commande de lecture 13. Les transistors 9 et 10 matérialisent les seconds moyens adressables de la cellule.

Le nœud 8 est connecté à plusieurs capacités parasites  $cp1$ ,  $cp2$  et  $cp3$ . La capacité  $cp1$  qui est la plus importante se situe entre le nœud 8 et la masse, tandis que les deux autres capacités  $cp2$  et  $cp3$  connectent le nœud 8 de part et d'autre du transistor 9. Dans l'exemple représenté, ces capacités parasites matérialisent les moyens de mémoire de la cellule, leur valeur totale pouvant en général suffire pour la conservation de la charge après la phase d'exposition jusqu'à la lecture de la cellule. Si tel n'était pas le cas dans une implémentation donnée, on pourrait envisager d'intégrer avec le circuit de la cellule une capacité dimensionnée convenablement et raccordée par exemple entre le nœud 8 et la masse.

Le nœud 8 est également connecté à un transistor de remise à zéro 14 (quatrièmes moyens) qui est destiné à maintenir déchargé le nœud 8 entre chaque lecture et la phase d'exposition suivante de la cellule. Ce transistor 14 est commandé à cet effet par un signal appliqué sur une borne 15 connectée à

sa grille. Le trajet drain-source de ce transistor 14 est relié entre le nœud 8 et la borne  $V_{DD}$ .

L'implémentation de la cellule de la figure 1 est représentée partiellement et schématiquement sur la figure 2. La cellule est intégrée sur un substrat 16 de type p avec une pluralité d'autres cellules (non représentées), toutes identiques, en une matrice qui comporte également toutes les connexions d'adressage et d'alimentation, par exemple selon le schéma de la figure 4 de l'article précité.

Plus précisément, la diode 1 est constituée par une région  $n^+$  17 réalisée dans le substrat et qui est placée derrière une ouverture 18 d'un écran 19 destiné à réduire la libération de porteurs de charges dans les autres composants de la cellule par la lumière incidente. Cet écran 19 peut être une couche finale déposée par-dessus l'ensemble des cellules et présentant une ouverture 18 en face de chaque région 17. De manière plus générale l'élément photosensible 1 est une région apte à collecter les électrons engendrés par la lumière et qui peut être une zone dopée  $n^+$  ou  $n^-$  ou encore une "photogate".

Selon une caractéristique essentielle de l'invention, le transistor d'obturation 6 et le transistor de remise à zéro 14 sont placés dans un caisson 20 d'un type de conductivité opposé à celui du substrat 16. Les deux transistors 6 et 14 peuvent partager le même caisson ou être réalisés dans deux caissons séparés mais de même type de conductivité. Dans l'exemple, ce type de conductivité est n. Dans le caisson 20 sont ménagées deux régions de diffusion  $p^+$  21 et 22 de même type de conductivité que celui du substrat qui forment, avec une grille 23 prévue entre elles, le transistor d'obturation 6 (le transistor 14 n'est pas représenté à la figure 2). Il est prévu également une troisième région de diffusion  $n^+$  24 d'un type de conductivité opposé à celui du substrat et située à l'écart des régions de diffusion  $p^+$  21 et 22. Cette troisième région 24 sert à appliquer une tension de polarisation au caisson 20 par l'intermédiaire d'une connexion 25 et d'une borne d'alimentation 26. Sur la figure 1, le caisson 20 est symbolisé par un conducteur portant la même référence que sur la figure 2.

Dans l'exemple, les régions de diffusion 21 et 22 sont de type  $p^+$  et la région de diffusion 24 est de type  $n^+$ . On notera également que le transistor 14



est de type p. Il peut être réalisé dans le caisson 20 ou dans un autre caisson, devant dans l'exemple être de type n prévu ailleurs dans le substrat 16. On notera également que le nœud 5 est relié au transistor 6 par l'intermédiaire d'une connexion 27 extérieure au substrat 16.

5 Lorsque de la lumière frappe la matrice de cellules dans laquelle est incorporée la cellule qui vient d'être décrite, des électrons libérés à l'extérieur de la zone d'appauvrissement de la photodiode 1 migrent à travers le substrat 16 jusqu'à ce qu'ils soient piégés par la région 17 de la diode 1 ou par le  
10 nœud 8. Cependant, comme le caisson 20 est polarisé à une tension fixe qui lui est appliquée par l'intermédiaire de la borne 26, la quantité de charges s'accumulant dans le nœud 8 n'est pas modifiée par ces charges parasites.

Le temps pendant lequel les charges utiles restent conservées sur le nœud 8 dépend essentiellement du courant de fuite s'écoulant dans la diode  
15 formée entre la région p<sup>+</sup> 22 et le caisson 20 de type n, diode dont les caractéristiques dépendent de la technologie utilisée. C'est pourquoi une caractéristique avantageuse de l'invention consiste à prévoir la possibilité de polariser au choix du concepteur, le caisson 20 par l'intermédiaire de la connexion 25 et de la borne 26 afin de pouvoir ajuster au mieux, par réglage de  
20 la tension de polarisation, le temps de conservation des charges avant qu'une lecture de la cellule doive être effectuée.

Les figures 3 et 4 représentent un mode de réalisation selon une forme duale de celle de la figure 1 en ce qui concerne les types de conductivité utilisés. Sur ces figures, les composants de même fonction mais de type de  
25 conductivité opposé à celui qu'ils ont dans les figures 1 et 2, ont été désignés par la même référence munie du suffixe "a".

Il est à noter que les fonctions exercées par les transistors 9 et 10 ou 9a, 10a peuvent être mises en œuvre également par des moyens équivalents situés à l'extérieur de la puce dans laquelle est réalisée la matrice composée  
30 des cellules selon l'invention. Dans ce cas, bien entendu les transistors correspondants ne sont pas prévus dans la cellule elle-même.

La structure de la cellule selon l'invention offre également la possibilité d'ajourner sa lecture jusqu'à un moment considéré comme approprié par le

concepteur en jouant notamment sur la tension du caisson 20 ou 20a. Ainsi, on peut notamment assurer l'élimination du bruit thermique et du bruit grenaille (ou "shot noise" en anglais) du courant de fuite de diode, qui risquent d'affecter le signal utile obtenu.

5        La figure 5 montre un diagramme des signaux de commande de la cellule de la figure 1. Le signal de commande du transistor 2 est montré en (a); il détermine le temps d'exposition. En (b) est montré le signal de commande du transistor d'obturation 6. Le signal de commande du transistor de remise à zéro 14 est montré en (c), tandis qu'en (d) apparaît la succession des valeurs lues  
10        sur les différentes cellules (ou "pixels") du capteur.

      La figure 6 montre encore un autre exemple de réalisation de la cellule selon l'invention. Selon cette variante, le transistor d'obturation 6 est constitué en fait d'une pluralité de transistors (6.1 à 6.3), chacun étant associé à des moyens de mémorisation (C1 à C3) et étant commandé par une tension  
15        appliquée sur leur grille (7.1 à 7.3).

## REVENDICATIONS

1. Cellule active pour un capteur photosensible réalisé en technologie CMOS et comprenant une pluralité de ces cellules agencées selon une matrice adressable dans laquelle les cellules subissent des cycles de travail successifs consistant, au moins, en une phase d'exposition pour détecter la quantité de lumière qui les frappe, puis en une phase d'exploration au cours de laquelle l'information de luminance due à cette quantité de lumière est extraite de la cellule, cette cellule comprenant

10           - un élément photosensible (1),  
             - des premiers moyens adressables (2) pour activer/désactiver cet élément photosensible après ladite phase d'exposition,

             - des deuxièmes moyens adressables (9, 10) pour, au cours de ladite phase d'exploration, extraire de la cellule le signal de luminance engendré par ledit élément photosensible (1),

15           - des troisièmes moyens adressables (6) pour transférer ledit signal de luminance dudit élément photosensible (1) auxdits deuxièmes moyens adressables (8, 10);

             - des moyens de mémoire (cp1 à cp3) pour conserver ledit signal de luminance entre la phase d'exposition et l'instant où ladite cellule est adressée pour l'activation desdits deuxièmes moyens adressables (9, 10), et

20           - des quatrièmes moyens adressables pour décharger lesdits moyens de mémoire après la phase de lecture de la cellule, ledit élément photosensible et lesdits premiers, seconds, troisièmes et quatrièmes moyens adressables étant implémentés sous la forme de composants semi-conducteurs intégrés dans un substrat (16) avec des types de conductivité prédéterminés,

caractérisée en ce que

lesdits troisièmes et quatrièmes moyens adressables sont placés dans au moins un caisson (20) ménagé dans le substrat (16), ledit au moins un caisson présentant un premier type de conductivité opposé à celui du substrat, qui présente un second type de conductivité et dans lequel est réalisé l'élément photosensible (1).

2. Cellule suivant la revendication 1, caractérisée en ce que ledit

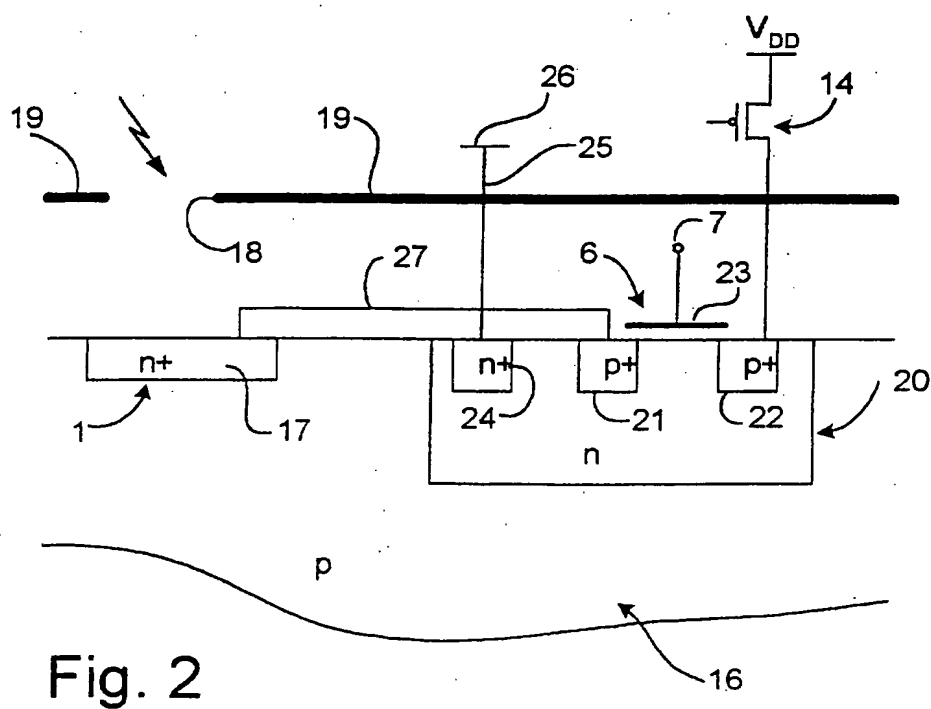
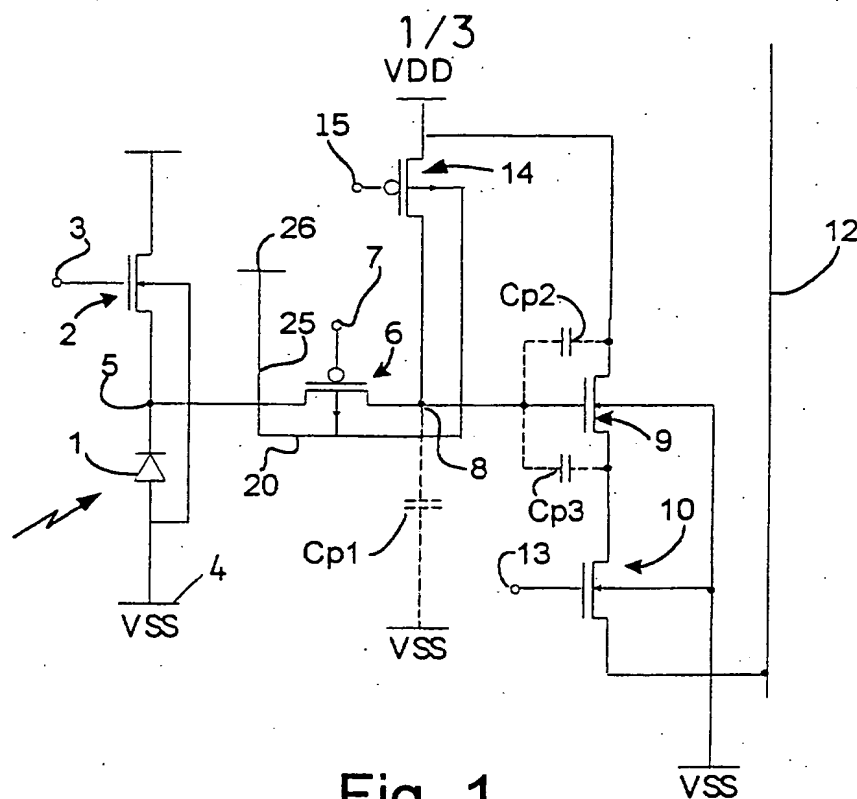
premier type de conductivité est le type p et le second type de conductivité est le type n.

3. Cellule suivant la revendication 1, caractérisée en ce que ledit premier type de conductivité est le type n et le second type de conductivité est le type p.

4. Cellule suivant l'une quelconque des revendications précédentes, caractérisée en ce qu'une région de diffusion (24) est implantée dans ledit caisson (20) et connectée à une source de tension de polarisation (26), de préférence réglable, cette région ayant le second type de conductivité.

5. Cellule suivant la revendication 4, caractérisée en ce que lesdits quatrièmes moyens adressables (14) sont implantés dans ledit caisson (20).

6. Cellule selon l'une quelconque des revendications 1 à 5, caractérisée en ce que lesdits troisièmes moyens consistent en une pluralité de transistors (6.1 à 6.3) connectés en série et commandés, chacun, par une tension fixe.





3 / 3

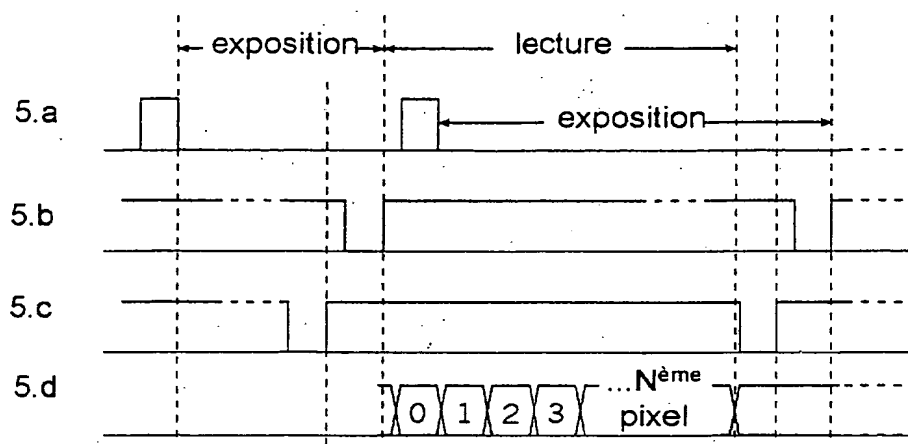


Fig. 5

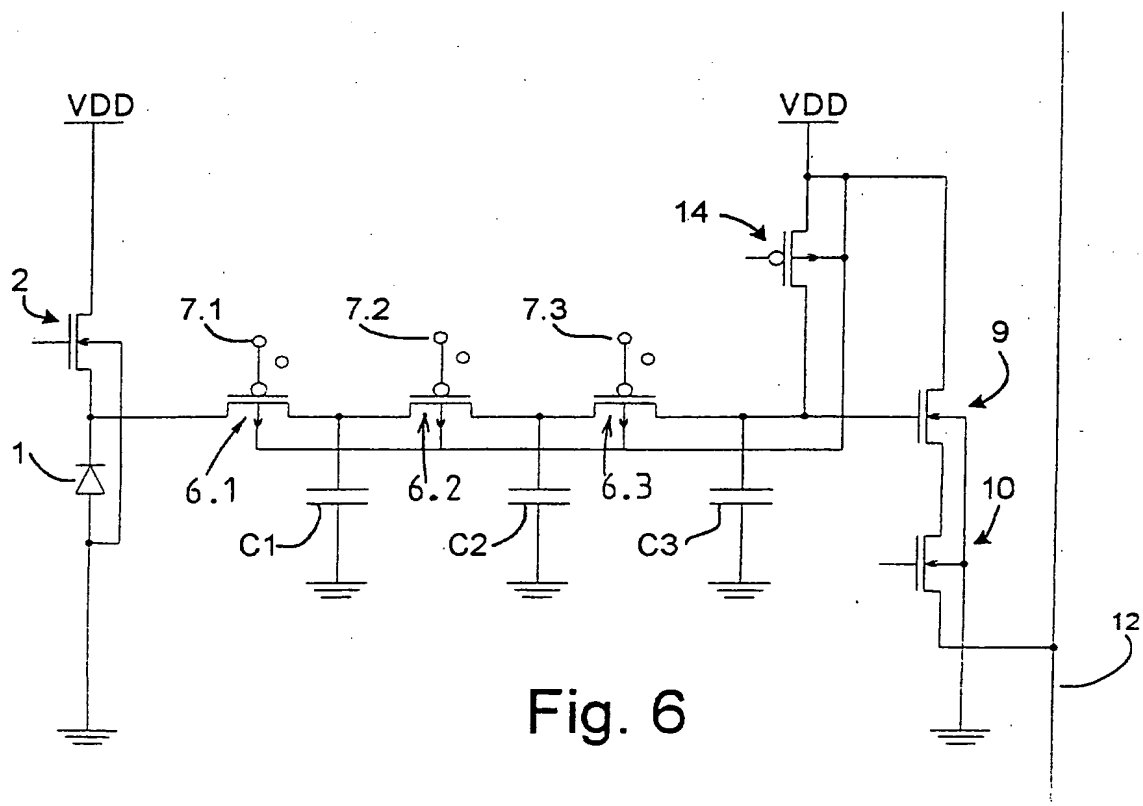


Fig. 6



# RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

2807570

N° d'enregistrement  
nationalFA 588213  
FR 0004494

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	WO 99 66560 A (FOVEON INC) 23 décembre 1999 (1999-12-23) * figures 6,12 * * page 19, ligne 8 - page 21, ligne 4 *	1-3,5	H01L31/06 H01L31/035
Y	---	6	
Y	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 03, 31 mars 1999 (1999-03-31) -& JP 10 322599 A (TOSHIBA CORP), 4 décembre 1998 (1998-12-04) * abrégé * * figure 18 *	6	
A,D	HUAT AW CH ET AL: "A 128 X 128-PIXEL STANDARD-CMOS IMAGE SENSOR WITH ELECTRONIC SHUTTER" IEEE JOURNAL OF SOLID-STATE CIRCUITS,US,IEEE INC. NEW YORK, vol. 31, no. 12, 1 décembre 1996 (1996-12-01), pages 1922-1930, XP000691811 ISSN: 0018-9200 * figure 4 * Section III, A) Pixel Structure and Circuit	1-6	
A	WO 99 26408 A (FOVEONICS INC) 27 mai 1999 (1999-05-27) * figures 6-9 * * page 8, ligne 22 - page 14, ligne 8 *	1-6	
			DOMAINES TECHNIQUES RECHERCHÉS (Int.CL.7)
			H01L H04N
Date d'achèvement de la recherche		Examineur	
23 janvier 2001		Visscher, E	
CATÉGORIE DES DOCUMENTS CITÉS			
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

1  
EPO FORM 1503 12.99 (P04C14)



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**